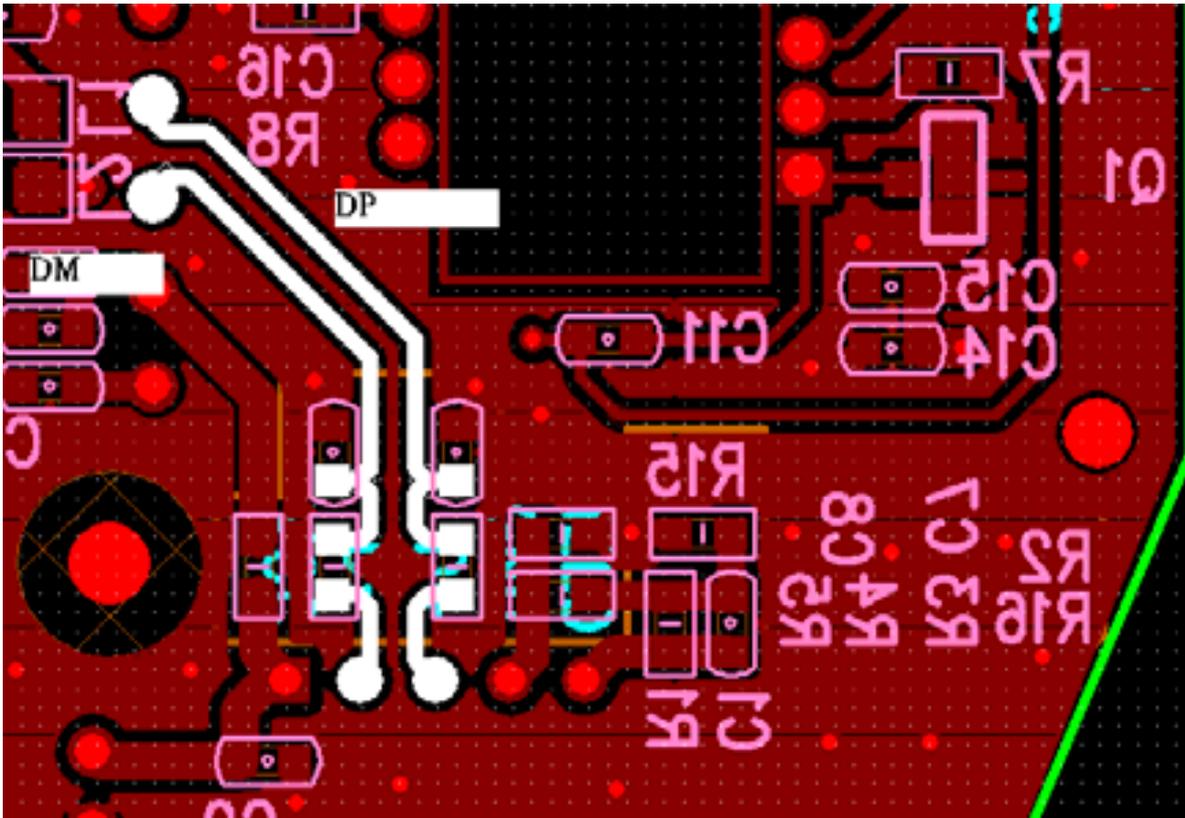


USB 佈線注意事項:

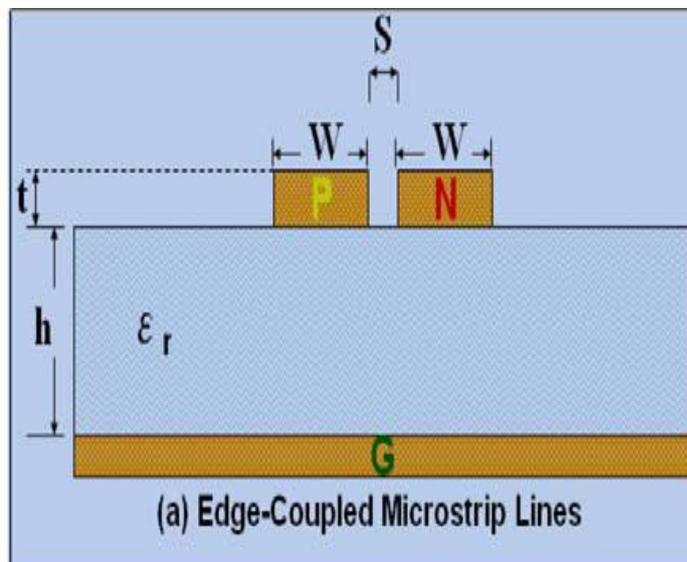
• D+ / D- 走線

1. D+/D- 必須保持等長平行走線，線間的距離必須設計在 90Ω 的差動阻抗。(如圖一)
D+/D- 走線須在同一層面，盡可能不要走在其它層面。(如圖一)



(圖一)

2. 使用阻抗計算器去驗證線寬、線距和夾層厚度的結果須為 90Ω 的差動阻抗。(如右程式)



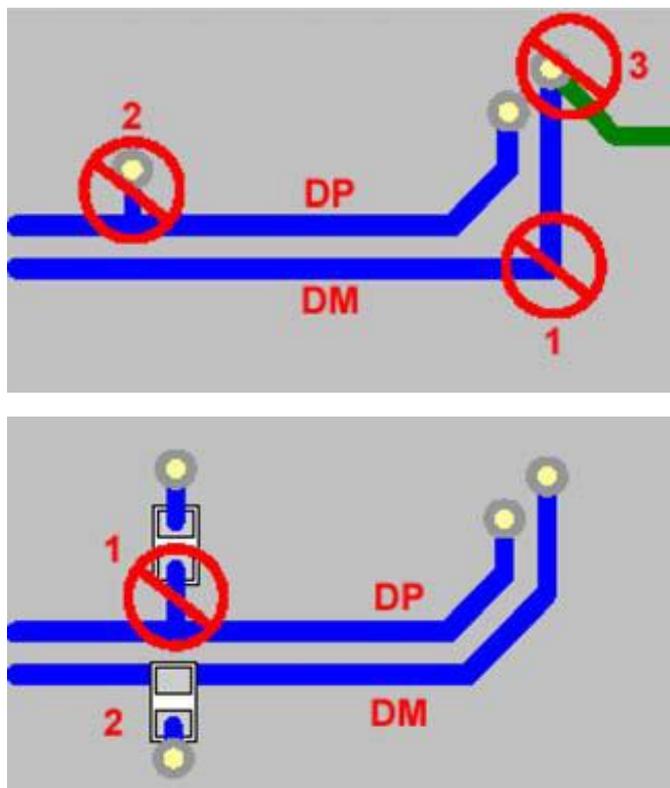
阻抗計算器	
介電常數(Er)	4.5
P.P 厚度 h (mil)	4.5
壓合銅厚 t (mil)	1.4
測試線寬 W (mil)	7.8
測試線距 S (mil)	28
阻抗值 (Zo)	45.05944735
差動阻抗值 (Zd)	90.00877338

$$Z_o = (87 / (\text{SQRT}(E_r + 1.41))) * \text{LN}((5.98 * h) / ((0.8 * W) + t))$$

$$Z_d = 2 * Z_o * (1 - (0.48 * \text{EXP}(-0.96 * S / h)))$$

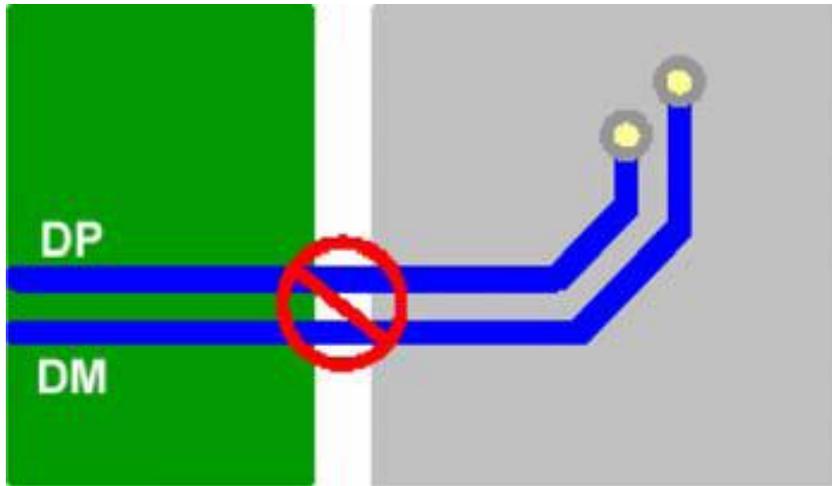
圖二

3. 以最短走線長度走D+/D-、Clock和週期信號; D+/D-應和PCB上的 Connector 盡量保持遠離 (例如 I/O connector, 控制訊號接頭 ...)
4. D+/D- 必須轉90°時, 可以使用2個45°轉折; 可使信號反射到最小和減少阻抗中斷。
5. D+/D- 線路上的Stub(分歧)必須盡量避開, 因為匯集處容易導致信號反射。(如圖三)



(圖三)

6. D+/D- 要在完整的VCC or GND Planes上, 不能中斷, 如果穿過中斷的 VCC or GND Planes 將會因為大型區域迴路增加感應和輻射的等(如圖一和圖四)



圖四

7. 當 D+/D- 必須和 Clock、週期信號平行走線時, 長度應該愈短愈好。
8. D+/D-, Clock, 磁感元件和 IC 不要走在 XTL 和 OSC 底下。
9. 當 D+/D- 必須和 Clock, 週期信號平行走線時長度應該愈短愈好, 可以減少交越失真。

• Decouple Capacitor

VBUS, VREG 及 OVDD 的 decouple capacitor 須盡量靠近控制 IC(AT8PU8X) 的 PIN。

• Power Trace

VBUS, VREG 及 OVDD 的 Power Trace With 越寬越好 (至少不要低於40mil)。

USB EMI注意事項:

1. 電源TRACE WITH至少40 mil
2. DP DM 請使用POLAR軟體去計算Differential impedance 90ohm,訊號走線長度越短越好,例如DP DM Trace With=18 mil Separation=30mil 銅鉑厚度1oz=1.4mil PP厚度9mil PP介電係數4.2 綠漆保護層厚度0.4.mil 計算出Differential impedance=90.23ohm (此設計必須和洗板廠配合其板材&鋪銅鉑厚度及板材介電係數)
3. DP DM中間和兩旁須鋪GND 防止NOSIE(如圖一)
4. USB connector plug 越接近IC DP DM 越好
5. USB connector plug DP DM訊號線 至 GND 加電容47pF 容值越大EMI較好
6. VBUS 加BEAD零件,頻段36.79MHZ會降低
7. USB connector CABLE須為五線CABLE 防止 EFT & EMI
8. 建議DP DM和電源(VBUS & VREG) .USB SHIELD & GND .IC XOUT SENSOR CLK 和DATA訊號線,先串聯預留零件(PS可參考A7530_AT8PU83D_010_971106電路圖))
9. 走二層版的話走線於底層而上層則鋪GND

