

NY8_ICE 的 I/O 使用限制

內容： NY8_ICE 在 I/O 模擬時有以下兩種狀況和實際 AT8 OTP IC 會有差異，使用者需要特別注意這些硬體上模擬的限制。所有本文內容都只針對 NY8_ICE，與實際出貨的 AT8 OTP IC 沒有關連。我們建議使用者在生產前不能只以 NY8_ICE 模擬，應該要以實際的 OTP IC 作驗證的結果為主。

原因： 1. FPGA Differential I/O Pin 配對

- 1) NY8_ICE 硬體使用 Xilinx FPGA 模擬，其硬體設計是使用 Differential I/O Pin 配對的設計，如下圖。
因此 NY8_ICE 的 IO port 之間可能會相互干擾。

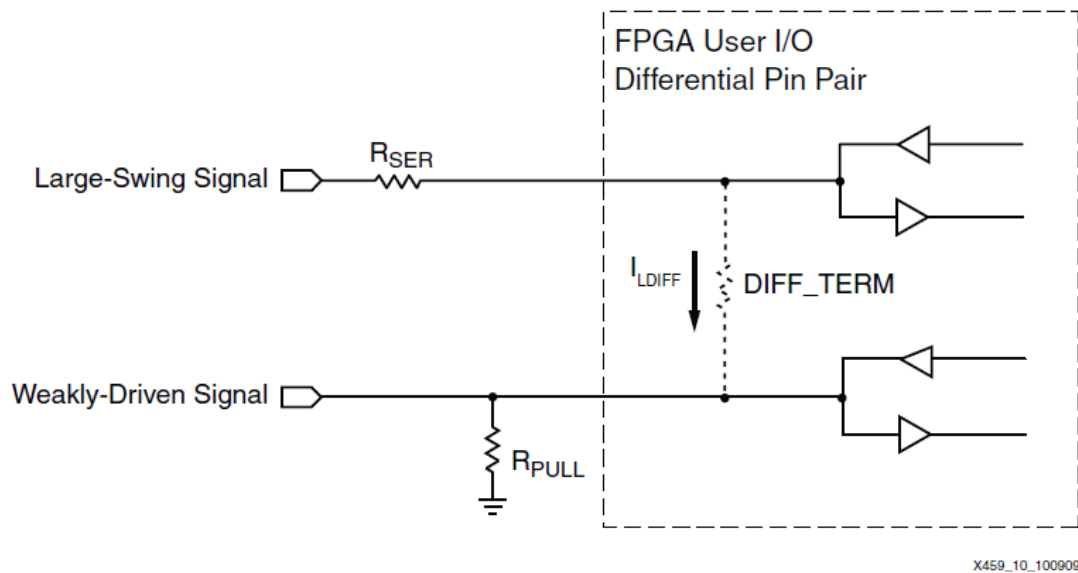


Figure 12: Potential Design Failure Scenario

(Extract from Xilinx datasheet)

2) Differential I/O Pin 配對如下表

Xilinx differential pin 配對	P	N
1	-	PA0
2	PA1	PA2
3	PA3	-
4	PA4	PA5
5	PA6	PA7
6	PB0	PB1
7	PB2	PB3
8	PB4	PB5
9	PB6	PB7
10	PC0	PC1
11	PC2	PC3
12	PC4	PC5
13	PC6	PC7
14	PD0	PD1
15	PD2	PD3
16	PD4	PD5
17	PD6	PD7
18	PE0	PE1
19	PE2	PE3
20	PE4	PE5
21	PE6	PE7

3) 範例

如果我們將 PB0 設定為輸入且可以 Wake-up，按下 PB1 時有機會干擾 PB0 而使系統 Wake-up。

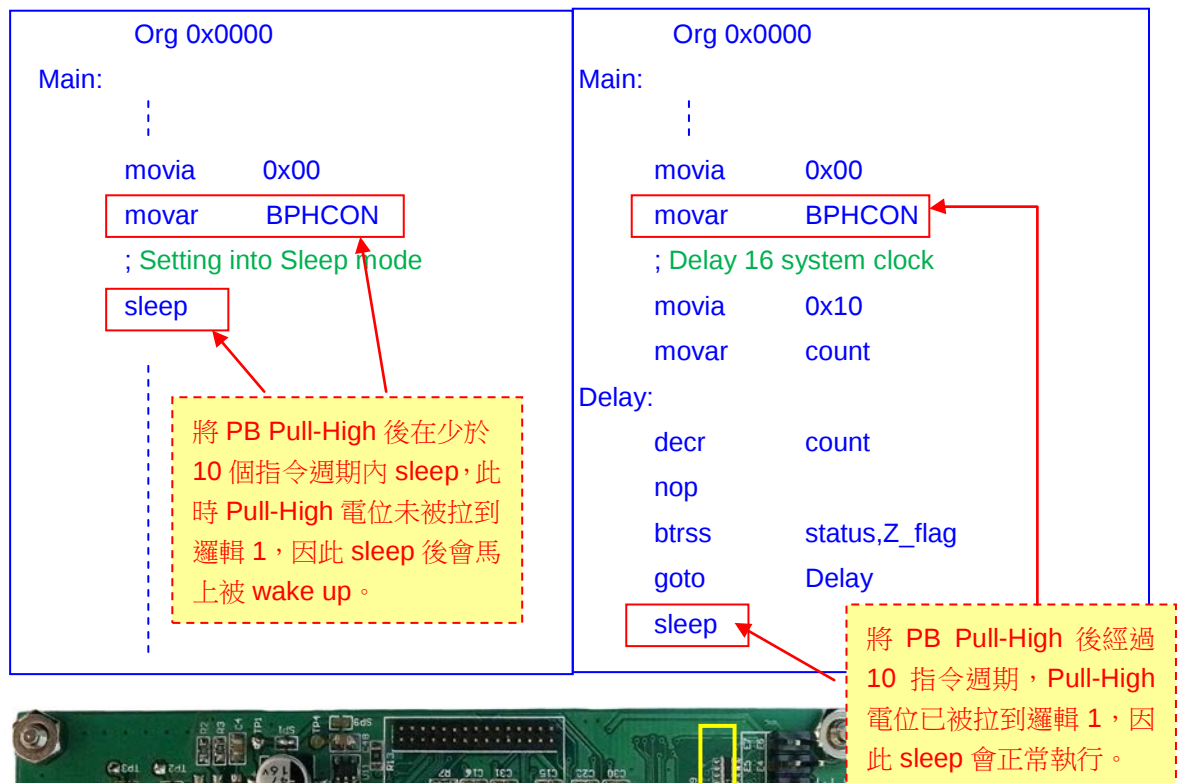
2. FPGA Pull-High / Pull-Low 電阻

1) NY8_ICE 硬體使用 Xilinx FPGA 模擬，其硬體設計無法在內部實現 Pull-High 或 Pull-Low 電阻，因此 NY8_ICE 是採用外部電阻來實現 Pull-High 或 Pull-Low。使用者需注意到，當 NY8_ICE 將 I/O 設置為 Pull-High 後，需等待 Pull High 上拉時間約 10 us(RC 充電效應)，才能執行進入 Sleep/Standby mode 的指令，否則會有機會出現無法進入 Sleep/Standby mode 的現象。此現象主要是因為該腳位上的電位還未到邏輯 1，在進入 Sleep 後，才實際上升到邏輯 1，使得系統 Wakeup。使用者需注意到此種 IO 狀態轉換的延遲時間，包括 IO 狀態的讀取。

2) 上述這個問題也可以利用 Output High 之後再轉成 Input Pull High 的程式技巧解決，此時就不需在程式裡去做等待的動作。

3) 程式範例

例如：Pull-High 所需時間約 10us，以 20MHz/2T 來說需要 10 個指令週期才能拉到高準位。



外部 Pull-High
100K 歐姆