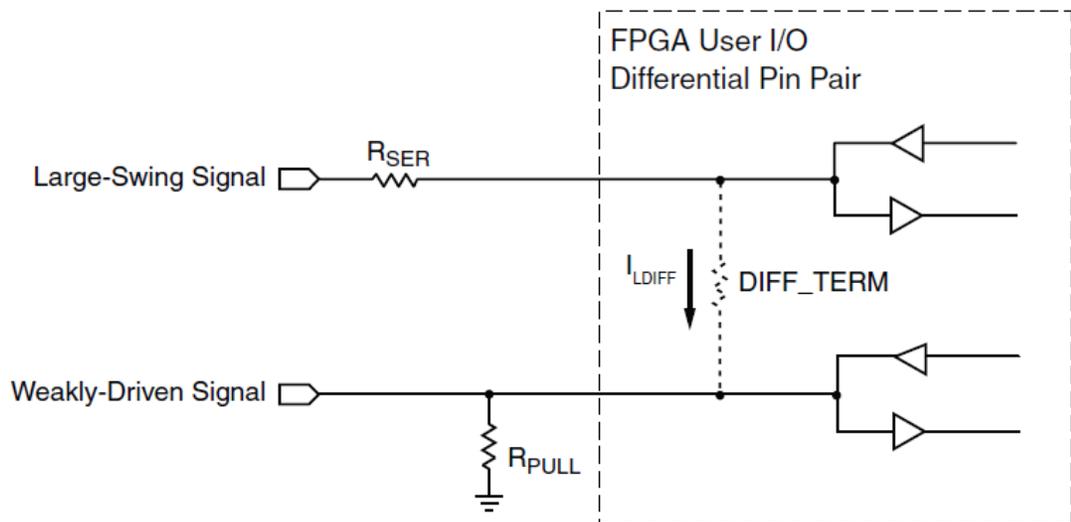


## NY8\_ICE 的 I/O 使用限制

**内容:** NY8\_ICE 在 I/O 仿真时有以下两种状况和实际 AT8 OTP IC 会有差异，使用者需要特别注意这些硬件上仿真的限制。所有本文内容都只针对 NY8\_ICE，与实际出货的 AT8 OTP IC 没有关连。我们建议使用者在生产前不能只以 NY8\_ICE 仿真，应该要以实际的 OTP IC 作验证的结果为主。

**原因:** 1. FPGA Differential I/O Pin 配对

- 1) NY8\_ICE 硬件使用 Xilinx FPGA 仿真，其硬件设计是使用 Differential I/O Pin 配对的设计，如下图。因此 NY8\_ICE 的 IO port 之间可能会相互干扰。



X459\_10\_100909

Figure 12: Potential Design Failure Scenario

(Extract from Xilinx datasheet)

## 2) Differential I/O Pin 配对如下表

Xilinx differential pin 配对	P	N
1	-	PA0
2	PA1	PA2
3	PA3	-
4	PA4	PA5
5	PA6	PA7
6	PB0	PB1
7	PB2	PB3
8	PB4	PB5
9	PB6	PB7
10	PC0	PC1
11	PC2	PC3
12	PC4	PC5
13	PC6	PC7
14	PD0	PD1
15	PD2	PD3
16	PD4	PD5
17	PD6	PD7
18	PE0	PE1
19	PE2	PE3
20	PE4	PE5
21	PE6	PE7

## 3) 范例

如果我们将 PB0 设定为输入且可以 Wake-up, 按下 PB1 时有机会干扰 PB0 而使系统 Wake-up。

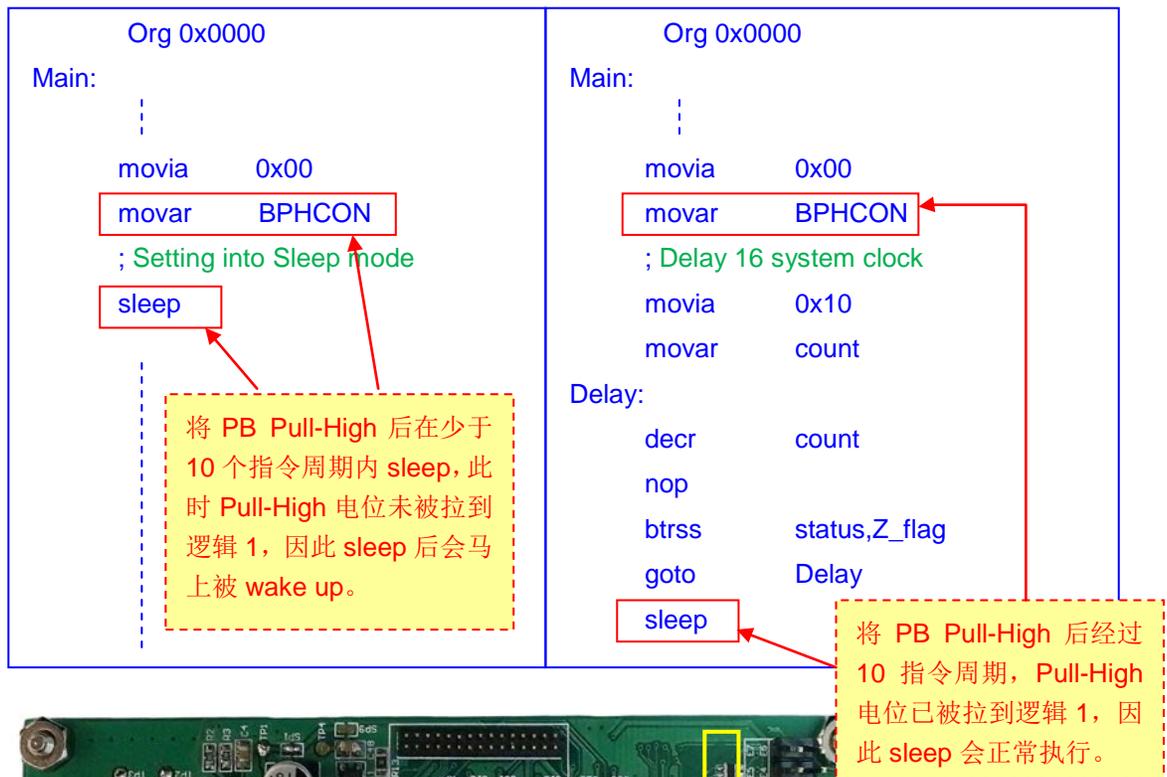
2. FPGA Pull-High / Pull-Low 电阻

1) NY8\_ICE 硬件使用 Xilinx FPGA 仿真，其硬件设计无法在内部实现 Pull-High 或 Pull-Low 电阻，因此 NY8\_ICE 是采用外部电阻来实现 Pull-High 或 Pull-Low。使用者需注意到，当 NY8\_ICE 将 I/O 设置为 Pull-High 后，需等待 Pull High 上拉时间约 10 us(RC 充电效应)，才能执行进入 Sleep/Standby mode 的指令，否则会有机会出现无法进入 Sleep/Standby mode 的现象。此现象主要是因为该脚位上的电平还未到逻辑 1，在进入 Sleep 后，才实际上升到逻辑 1，使得系统 Wakeup。使用者需注意到此种 IO 状态转换的延迟时间，包括 IO 状态的读取。

2) 上述这个问题也可以利用 Output High 之后再转成 Input Pull High 的程序技巧解决，此时就不需在程序里去做等待的动作。

3) 程序范例

例如：Pull-High 所需时间约 10us，以 20MHz/2T 来说需要 10 个指令周期才能拉到高准位。



外部 Pull-High  
100K 欧姆